PAT-NO:

JP404042513A

DOCUMENT-IDENTIFIER: JP 04042513 A

TITLE:

**INDUCTANCE** COMPONENT AND MANUFACTURE THEREOF

PUBN-DATE:

February 13, 1992

**INVENTOR-INFORMATION:** 

NAME

IBATA, AKIHIKO MATSUTANI, SHINYA KAWAMATA, HAJIME

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO:

JP02150931

APPL-DATE:

June 8, 1990

INT-CL (IPC): H01F019/02, H01F001/34, H01F010/26, H01F017/04,

H01F041/02

US-CL-CURRENT: 29/602.1, 336/234

# ABSTRACT:

PURPOSE: To obtain an **inductance** component adapted to operate in a high frequency and having very small power loss by providing a coil on a magnetic element formed by alternately laminating one or more types of an insulator layer, a dielectric layer and a nonmagnetic layer or a layer of mixture, and ferrite magnetic layers.

3/1/06, EAST Version: 2.0.3.0

CONSTITUTION: Even if a ferrite magnetic layer 1 of a magnetic element 15 is replaced with a laminated structure having an insulator layer 2, a dielectric layer or a nonmagnetic layer, further a layer of the mixture or two or more

layer or a nonmagnetic layer, further a layer of the mixture or two or more types of layers instead of the layer 2, its iron loss is similarly very small. In a structure in which a layer having high matching properties to the layer 1 is brought into contact with the layer 1, another layer is further provided therebetween, a nonmagnetic layer 5 is used as the layer having high matching properties as shown, and the layer 2 may be provided as the layer therebetween.

COPYRIGHT: (C)1992,JPO&Japio

3/1/06, EAST Version: 2.0.3.0

# @ 公開特許公報(A) 平4-42513

®Int. Cl. ⁵	識別配号	庁内整理番号	<b>②</b> 公開	平成 4年(1992) 2月13日
H 01 F 19/02 1/34 10/26	Z	8123-5E 7371-5E 9057-5E		
17/04	F L	8123-5E 8123-5E		
41/02	D	2117-5E 審査請求	未請求	請求項の数 16 (全11頁)

**60発明の名称** インダクタンス部品およびその製造法

②特 願 平2-150931

**20出 顧 平2(1990)6月8日** 

大阪府門真市大字門真1006番地 松下電器産業株式会社内 明 昭 彦 @発 者 松下電器産業株式会社内 松 哉 大阪府門真市大字門真1006番地 個発 明 者 大阪府門真市大字門真1006番地 松下電器産業株式会社内 又 ⑫発 明 者 Ш

创出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

砚代 理 人 弁理士 栗野 重孝 外1名

明報 書

# 1. 発明の名称

インダクタンス部品およびその製造法

#### 2、特許請求の範囲

(i) フェライト磁性層が絶縁体層、誘電体層また は非磁性体層のうちの少なくとも1種類以上の層 あるいはこれらの混合体層を介して積層した磁性 体にコイルを設けて構成したインダクタンス部品。 (2) フェライト磁性層がフェライトめっき膜であ る請求項1記載のインダクタンス部品。

(3) フェライト磁性層がフェライト焼結膜である 請求項1記載のインダクタンス部品。

(4) フェライト粉末を成形して磁性層を形成し、 絶縁体粉末、誘電体粉末、非磁性体粉末またはこ れらの混合粉末を成形して、絶縁体層、誘電体層、 養磁性体層または混合体層の少なくとも1種類以 上の層を形成することを交互に繰り返して、積層 した成型体を高温処理した磁性体に、コイルを設 けるインダクタンス部品の製造法。

(5) 絶縁体粉末、結合剤および溶剤を混合した混

練物をシート状に成形した絶縁体シートや、誘電体粉末、結合剤および溶剤を混合した混練物をシート状に成形した誘電体シートのの混合を対した混練物をシートははこれは変物をシートはいる剤を設合した混練物をした混練物をした混練物をした混練物をした混練物をした混練物をした混練物をシート粉末、成形した混雑物をシート粉末に成形した磁性シートを混合した洗練物をシート状に成形した磁性シートを混合した後、高温処理して形成した磁性を交互に積層した後、高温処理して形成した磁性を、コイルを設けるインダクタンス部品の製造法。

(6) フェライト粉末、結合剤および溶剤を混合した温練物をシート状に成形し、絶縁体粉末、誘電体粉末および非磁性体粉末の1種類以上を含む粉末、結合剤および溶剤を混合した温練物を磁性シートに塗布して積層した後、高温処理して形成した磁性体に、コイルを設けるインダクタンス部品の製造法。

(7) フェライト粉末、結合剤および搾剤を混合し

た混線物をシート状に成形し高温処理した後、絶縁体、誘電体あるいは非磁性体の内の1種類以上を介して積層して形成される磁性体に、コイルを 設けるインダクタンス部品の製造法。

(8) 稜層が平面状にシートを積み重ねたものである請求項5.6または7項記載のインダクタンス部品の製造法。

(9) 積層が過巻状にシートを巻き付けたものである請求項5.6または7項記載のインダクタンス 部品の製造法。

回 基体にフェライト粉末および溶剤を混合した 混練物を塗布した後、高温処理して基体表面にフェライト層を形成した基体を積層して形成される 磁性体に、コイルを設けるインダクタンス部品の 製造法。

(D) 基体が絶縁体、携電体あるいは非磁性体の 1 種類以上からなる請求項10記載のインダクタンス 部品の製造法。

60 フェライト粉末および溶剤を混合した選練物 にさらに焼結助剤あるいは結合剤の1種類以上を 合んでいる請求項10記載のインダクタンス部品の 製造法。

(2) 基体に少なくとも第1鉄イオンを含んだ溶液を接触させて基体表面にフェライトめっき膜を形成した基体を積層して形成される磁性体に、コイルを設けるインダクタンス部品の製造法。

04 基体が絶縁体、誘電体あるいは非磁性体の1 種類以上からなる静求項13記載のインダクタンス 部品の製造法。

四 第1 鉄イオンを含んだ溶液と第1 鉄イオンを 酸化するための酸化剤を含んだ溶液を基体に接触 させる前に混合した後、基体に接触させて基体表 面にフェライトめっき腰を形成する請求項13記載 のインダクタンス部品の製造法。

09 将液を50でから沸点以下に加熱した後、順次 溶液を基体に接触させて基体表面にフェライトめ っき膜を形成する請求項13記載のインダクタンス 部品の製造法。

3. 発明の詳細な説明 産業上の利用分野

本発明は、高周波散で動作するのに適したイン ダクタンス部品に関し、特に電力損失 (鉄損) が 非常に小さい電源トランス用のインダクタンス部 品およびその製造法に関するものである。

#### 従来の技術

インダクタンス部品に多用される磁性材料として、フェライトがある。フェライトは各種遺信機器、民生用機器などのコイル、トランスなどのインダクタンス部品に多用されているが、近年、動作周波数が増加する傾向にあり、高周波で十分使用できる性能を有するインダクタンス部品が要求されている。

インダクタンス部品として要求される重要な特性に鉄損があり、動作する周波敷領域で十分に小さい鉄損のインダクタンス部品が求められている。

これまでに種々の改善によって鉄損の減少がなされており、例えば、フェライトトランスコア材料として主要なMnZn系フェライト材料に種々の元素を添加することによって鉄損を低減(特開昭61-42104号公報あるいは特開昭61-42105号公報

など)している。しかし、まだまだ十分実用でき る様をレベルではない。

一方、低間波用トランスとして珪素鋼板を積層 したコアを用いているが、近年要求されている高 い周波数では使用できない鉄損となっており、さ らに各種アモルファスの歓磁性材料からなる積層 コアを用いた例もあるが、価格的な問題、生産性 等から広く使用できるものではない。

#### 発明が解決しようとする課題

前述したように、これまで鉄損の減少に対して 種々の改善が提案されているが、実用的な観点か らみるとまだまだ不十分であり、そのため、高周 波数で動作する各種電子部品等への適用等に関し て大会な課題があった。

# 課題を解決するための手段

以上の課題を解決するために本発明は、絶縁体 層、誘電体層または非磁性体層の少なくともいず れか1種類以上の層あるいはこれらの混合体の層 とフェライト磁性層を交互に積層して形成される 磁性体に、コイルを扱けてインダクタンス部品と したものである。

#### 作用

前述した構造のインダクタンス部品にすることによって、つまり絶縁体層、誘電体層または非磁性体層の少なくとも1種以上の層あるいはこれらの混合体の層とフェライト磁性層を交互に積層した後、コイルを設けてインダクタンス部品とすることによって、これまでのインダクタンス部品では得られなかったコストの低減、および高周波数で動作したときの非常に小さい鉄損を可能にすることができる。

# 実施例

以下、本発明の実施例について説明する。

本発明のインダクタンス部品は、絶縁体層、誘 電体層または非磁性体層の少なくともいずれか! 種以上の層あるいはこれらの混合体の層とフェラ イト磁性層を交互に積層して形成される磁性体に、 コイルを設けて得られるインダクタンス部品であ る。この絶縁体層とは主として絶縁体で形成した 層をいい、誘電体層および非磁性体層も同様であ

体層あるいは非磁性体層さらにはこれらの混合体 の層あるいは2種以上の層に置き換えても同様に、 鉄損が非常に小さい。

第3 図に示した本発明のインダクタンス部品に用いる磁性体15はフェライト磁性層1と整合性のよい層をフェライト磁性層1と接触させ、その間にさらに別の層を設ける構造である。第3 図の場合は整合性のよい層として非磁性体層5 を用い、その間の層としては絶縁体層2 を用いたものである。このように、第3 図は3 種類の層を積層した構造の磁性体15である。

第4回は基体6の表面にフェライト磁性層1を 形成した磁性体15の断面を示した図である。この 場合、基体6の表面全面あるいは片面等にフェライト磁性層1を形成すればよい。このフェライト 磁性層1としては、フェライトめっき膜、フェライト イト粉末を固定化した層あるいはフェライト焼結 膜などがある。第5回は第4回に示した基体6の 表面にフェライト磁性層1を形成したEE形の磁 性素体7を積層した本発明のインダクタンス部品

る。さらに、これらの混合物から形成した層であ ってもよい。第1団に本発明のインダクタンス部 品の1例のトランスの極略図を示す。第1図はB 1型の磁性体を用いたトランスを示す。 1 がフェ ライト磁性層であり、2が絶縁体層でこれらで日 の字形の磁性体15を形成している。3は1次コイ ルであり、4は2次コイルである。第2図および 第3図は第1図のフェライト磁性層1および絶縁 体層 2 で構成する磁性体15の積層状態を示す部分 的な拡大図である。第1図ではフェライト磁性層 1が12層の場合を示したが第2図はフェライト磁 性層1が3層であり、第3図はフェライト磁性層 1が2層である。5は非磁性体層である。第2図 に示すように、本発明のインダクタンス部品を構 成する磁性体15のフェライト磁性層 1 が絶縁体層 2 を介した積層構造である。このような構造であ るため、高周波数で動作させたときの磁性体自身 の損失、鉄損が非常に小さい。また、後述するよ うにフェライト磁性層1の厚みと鉄損は密接に関 係する。第2関に示した絶縁体層2の代りに誘電

の磁性体の部分の積層例を示した分解斜視図である。第5図に示したフェライト磁性層1を有する 磁性素体7を積層したインダクタンス部品は、構 造的には先に示した第2図のものと同様である。 つまり、基体6の材質を絶縁体、誘電体または非 磁性体の1種以上で構成することによって、第2 図に示した構造と同様となる。

フェライト磁性層 1 としては、通常インダクタンス部品に多用されるMn Zn 系フェライト、Ni Zn 系フェライトあるいは他のスピネル型の種々のフェライトあるいは混合物で構成すればよい。

絶縁体層 2 を形成する材料としては、アルミナ (A1 2 O 3)、ムライト (3 A1 2 O 3 · 2 Si O 2 )、ベリリア (BeO)、ステアタイト (M gO·SiO2)、フォルステライト (2 M gO·SiO2)、マグネシア (M gO)、チタニア (TiO2)、チタニア+ジルコニア (2 rO2)、チタニア+マグネシア等の各種セラミックス、AA1 2 O 3 · B 2 O 3 、A1 2 O 3 · M g

O·SiOz·BzOz、AlzOz-CaO·MgO·SiOz·BzOz、AlzOz-CaO· yoz、各種有機材料、ゴム、オイル、変化物、 炭化物などがある。

誘電体層を形成する材料としては、前述した絶 緑体に含まれるものやチタン酸パリウム、ニオブ 酸カリウムなどがある。

非磁性体層 5 を形成する材料としては、スピネル型のフェライトに相性のいい亜鉛フェライト、αーFe : O : などがある。このように、絶縁体、誘電体および非磁性体に明確に分類できず 2 つ以上に属する物質が多い。前述したように、以上の3 層は 1 つの物質で必ずしも構成する必要はなく、種々の物質の混合物で形成してもよい。

基体6の材質としては、特に限定はない。いくつか例をあげると、ポリイミドフィルム、ポリエテレンテレフタレート(PET)などの各種プラスチック類、各種の有機積層板、つまり紙基材エポキシ、ガラス基材ポリエステル、ガラス布基材テフロン等の積層板など

製した後、所定温度で高温処理して磁性体を形成 した後、この磁性体にコイルを設ける方法である。

第2の方法としては、フェライト粉末とブチル カルビトール、テルピネオール、アルコールなど の溶剤、エチルセルロース、ポリピニルブチラー ル、ポリピニルアルコール、ポリエチレンオキサ イド、エチレン一酢酸ピニルなどの結合剤、さら に、酸化物あるいはガラス類などの挽結助剤を添 加し、ブチルベンジルフタレート、ジブチルフタ レート、グリセリンなどの可塑剤等を添加しても よい。これらを混合した混練物をシート状に成形 して磁性シートを作製する。同様に、絶縁体粉末 と結合剤および溶剤を混合した混錬物をシート状 に成形して、絶縁体シートを作製する。この絶縁 体シートと磁性シートを交互に積層して積層体を 作製し、この積層体を所定温度で高温処理して磁 性体を形成した後、この磁性体にコイルを設ける 方法である。

また、この積層方法としては、シートを平面状 に積み重ねる(第1図などに示した積層)方法、 がある。さらに、各種ガラス類あるいは各種セラミックス、CuO、NiOなどの金属酸化物などがある。これらの材質で構成された基体 6 の表面にフェライト磁性層 1 が存在し、このフェライト磁性層 1 を形成した磁性素体 7 を複数枚積層して1つのインダクタンス部品用の磁性体を構成する。

このように、絶縁体層、誘電体層または非磁性体層のいずれか1種以上の層とフェライト磁性層を交互に積層した構造であるため、鉄損が非常に小さく、特に高周被数においても非常に小さい鉄切であるため高周被領域で成力を発揮するインダクタンス部品用の磁性体となる。しかも、本発明のインダクタンス部品を構成する磁性体は非常に安価な材料からなる。

次に、本発明のインダクタンス部品の製造法の 数例を説明する。

通常の粉体成形法と同様の方法で、フェライト 粉末を成形して磁性層を形成し、次に絶縁体粉末 を成形して絶縁体層を形成することを交互に繰り 返して、磁性層と絶縁体層を積層した成形体を作

シートを過患状に患き付ける方法なるいはシートを同心円状に患き付ける方法などがある。 さらに、このように積層した積層体を所定の形状に成形加工した後、高温処理して磁性体を形成し、この磁性体にコイルを設けてもよい。

第3の方法は、第2の方法で示した磁性シートを絶縁体粉末と結合剤および溶剤を混合した混錬物とし、この混錬物を磁性シートに墜布した後、磁性シートを積増し、所定温度で高温処理して磁性体を形成した後、この磁性体にコイルを設ける方法である。

第4の方法は、第2の方法で示した磁性シートを所定の温度で高温処理した後、この高温処理品を絶縁体を介して積層して形成した磁性体にコイルを設ける方法である。例えば、有機材料などの接着刺等で高温処理した磁性シートを積層する方法などがある。

以上の例では絶縁体を用いた場合を示したが、 絶縁体の代りに誘電体、非磁性体およびこれらの 混合体を用いてもよい。さらには、これらの単層 ではなく第3図に示したような復層構造でもよい。 第5の方法は、被状のフェライト粉末を含む混 練物と基体を用いる方法である。この混練物とは これまでと同様で、フェライト粉末と溶剤が最低 構成品である。さらに、焼結助剤、結合剤あるい は可塑剤などを混合してもよい。この混練物をディピング、印刷、強布などの種々の方法で基体表 面に付着させ、溶剤等の乾燥あるいは高温処理を 行いフェライト磁性層を基体表面に形成する。こ のようにして得た磁性素体を積層して磁性体とし、 この磁性体にコイルを静けて得る。

基体の積層方法としては、単純に基体を積み重ねる方法、積み重ねた基体をケースに入れて固定する方法、有機材料などの接着剤等で積層する方法などがある。

第6の方法は、フェライトめっき膜を用いる方 法である。

フェライトめっきとは、例えば、特別昭59-111 929 号公報に示されているように、固体表面に、 金属イオンとして少なくとも第1鉄イオンを含む

以上の方法でフェライトめっき膜を形成した基体 の種層方法としては、第5の方法と同様である。

さらに、フェライトめっき腰の形成方法の代表 例を図を用いて説明する。フェライトめっき装置 の最略図を第6図に示す。6はフェライト贈を形 成する基体である。8は基体6を取り付けて、間 転する回転台である。9はめっき液を基体6に供 給するためのノズルである。このノズル9によっ て、液を摘下あるいは噴霧状等で供給する。めっ きに必要な液はいくつかに分割し、この図では2 分割した場合を示す。10および11は、各めっき液 を貯蔵するタンクである。フェライトめっき反応 部分はケース12内にあり、ケース12内に非酸化性 (例えば窒素) ガスを送ることによって、非酸化 性雰囲気でめっきをすることもできる。タンク10 には第1鉄イオンを含む水溶液(反応液)を入れ て、タンク11には、例えば酸化剤として亜硝酸ナ トリウムNaNOェを用い、さらに最衝刺として 酢酸アンモニウムCH。COONH。をいれた水 榕被(酸化液)を入れ、ポンプ等で各液を装置内

水溶液を接触させて、フェライト結晶化反応を起こし、固体表面にフェライト膜を形成することをいう。固体が水溶液に対して耐性があれば何でもよい。さらに、温度が低温(水溶液の排点以下)でスピネル型フェライト膜を作製できるため、他のフェライト膜作製方法に比較して固体の限定範囲が小さい。

に送り込む。途中に予熱部13を設けて各めっき被を形定温度に予熱した後、混合部14で2つのめっき被を混合して、ノズル9を通して基体6に供給する。反応液にさらにNiイオンおよび2nイオンか合まれると膜はNi2n系フェライト膜となる。回転台8を関はMn2n系フェライト膜となる。回転台8は、ヒータはさせて、各液を供給する。回転台8は、ヒーター等により50~100で程度に加熱する。このようにして、基体6の表面にフェライトめっき腰を形成する。

第6 図では、めっきに必要な液を2 つに分けた場合を示したが、3 液に分ける方法でもよい。3 液に分削する方法としては、例えば1 つ目の液は前述した反応液で、2 つ目の液は第1 鉄イオンを酸化するための酸化剤だけを熔解した液(酸化液)である。3 つ目の液はフェライト生成反応時の卵の調整あるいは鉄以外の他の元素をフェライト膜中に取り込みやすくするための緩衝剤あるいは錯化剤として酢酸アンモニウム C H。COON H。

を将解した液(調整液)である。この核は、必要に応じて、アンモニア水NH。OHあるいは水酸化ナトリウムNaOH等のアルカリをさらら液が してPBを調整してもよい。これらのめっき液の体 6 への供給方法としては、調整液を連続的に供給した状態で、さらに反応液と酸化液を交互に操めるした状態である。

前述した例は、酸化剤を用いる方法であるが、 たとえば酸化剤を用いずにケース12内に窒素と酸 素の混合ガスあるいは空気を供給して、酸素によ って酸化させてもよい。

本発明のインダクタンス部品のコイル作製方法 としては、巻き線を施したボビンを磁性体15に装 着する方法あるいは磁性体15の表面全体を絶縁処 理して磁性体15に直接コイルを形成する方法、絶 線シートにプリントコイルを形成したものを単体 または積層したものを用いる方法などがある。

次に本発明の更に具体的な実施例について説明

ルベンジルフタレートを重量比で20:1:1の割り合いで混合したものを10gとガラス粉末(粉末組成は $B_2O_3$  23 $\pi$ t%、 $SiO_3$  44 $\pi$ t%、ZaO 16 $\pi$ t%、BaO8 $\pi$ t%、平均粒径は1 $\mu$ m)を30gとを混合し、ベースト状の混練物を作製した。この混練物をドクターブレード法で厚み10 $\mu$ mのガラスシートを作製した。

磁性シートAおよびBをそれぞれ複数枚用いて、 磁性シートのみ積着した後、積着した磁性シート 間にガラスシートを挟み積着磁性シートが5層に なるまで積み重ねた。これらの積着体を窒素雰囲 気下において1200℃で1時間保持する高温処理した。

この高温処理品に1次コイルおよび2次コイル を巻線し、交流磁気特性測定装置を用いて、最大 磁束密度 500 G、 周波数1M位で鉄模を測定した。 1層の磁性シートの厚みと鉄模の関係を第7図に 示す。第7図に示すように、 A 初を用いた場合は 磁性層の厚みが1無以下で非常に鉄模が小さくな り、B 粉の場合は 2.8無以下から減少している。 する.

#### (実施例1)

HaO 30mol X、ZnO 19mol X、FesOs 51mol Xを混合した粉末を大気中にて1300でで2時間保持した後、窒素中で冷却する仮焼成(A処理)を行った。同じ混合粉末を大気中にて800でで2時間保持した後、窒素中で冷却する仮焼成(B処理)を行った。これらのAおよびB処理をしたものをそれぞれ粉砕・分級し、平均粒径3μmのMnZn系フェライトA粉(A処理品)とB粉(B処理品)を準備した。

次に、ブチルカルビトール、エチルセルロースおよびブチルベンジルフタレートを重量比で20:1:2の割り合いで混合したものを10gと先に準備したMnZn系フェライトA粉を30gとを混合し、ベースト状の混練物を作製した。この混練物をドクターブレード法で厚み100μmの磁性シートAを作製した。同様にMnZn系フェライトB粉を用いて、磁性シートBを作製した。

テルピネオール、エチルセルロースおよびブチ

特に、A粉およびB粉とも約1 m以下では鉄損が 非常に小さい値を示している。

先ほどのガラス粉末の代りに、酸化チタン粉末、 チタン酸パリウム粉末、亜鉛フェライト粉末およ び酸化アルミニウム粉末の各粉末を用いて同様に 積層体を作製し、高温処理して、鉄損を測定した ところ、第7図に示したガラス粉末の場合と同様 の値を示した。

また、Ni2n系フェライトの場合も同様であった。

#### (実施例2)

実施例1に示したB粉と同条件で作製した(以下、フェライト粉はこの条件)Mn Zn 系フェライト粉末(粉末組成はHn0 37mol X、Zn0 10mol X、Fe x 0 a 53mol X、平均粒径は5 μm)が1 g とポリピニルアルコールの水溶液(5wt X溶液)が 0.1 g を混合して、円筒成型体を得るための外径が14mmで、内径が10mmの空網部を有する金型に、混合した粉末を 0.1 g 入れ、溶板状の円筒成型体を作製した。次に、ガラス粉末(粉末組成はSi0 a 40wt X、

Alio, SwtX、BaO 25wtX、Pho 20wtX、平均粒径は 1 μm)を1 gとポリピニルアルコールの水溶液 (5wtX溶液)を 0.1 gとを混合して、金型内の成型体の上に 0.1 g入れて円筒成型体を作製した。 このことを繰り返してフェライト層を10層にした。 この成型体を窒素中にて1200でで1時間保持する 高温処理を行った。

この高温処理品を実施例1と同様に、鉄損を制定したところ、本発明のインダクタンス部品の鉄損は約250eW/cdであった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい部品であった。

先ほどのガラス粉末の代りに、酸化チタン粉末、 チタン酸パリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様に 成型体を作製し、高温処理して、鉄損を制定した ところガラス粉末の場合と同様の値を示した。 (家集例3)

N | Z n 系フェライト粉末(粉末組成はNiO 25 mol%、ZnO 25mol%、Fe<sub>2</sub>O<sub>2</sub> 50mol%、平均粒径は 4

# (実施例4)

ブチルカルビトール、エチルセルロースおよび プチルペンジルフタレートを重量比で20:1:2 の割り合いで混合したものを10gとMnZn系フ ェライト粉末 (粉末組成はMnO 30mol%、ZnO 19mo 1%、Fe<sub>2</sub>O<sub>2</sub> 51mo1%で、平均粒径3μm)を30gと を混合し、ペースト状の混練物を作製した。この 混練物をドクターブレード法で厚み 100μmの磁 性シートを作製した。同様に、テルピネオール、 エチルセルロースおよびブチルペンジルフタレー トを重量比で20:1:1の割り合いで混合したも のを10gとガラス粉末(粉末組成はBz0, 23mt%、 SiO: 44mt%、ZaO 16mt%、BaO 8mt% 、平均粒径は 1 µm)を30gを混合し、ペースト状の混練物を 作製した。この混錬物をドクタープレード法で厚 み10μmのガラスシートを作製した。この磁性シ ートとガラスシートを交互に積層し、磁性シート が10層になるまで積み重ねた。この程層体に窒素 雰囲気下で1200℃で1時間保持する高温処理を施 Lt.

μm)を18とボリビニルアルコールの水溶液(5wt3溶液)を0.18とを混合して、実施例1で用いた同様の金型で外径が13m、内径が9mの空間部を有する金型に、混合した粉末を0.18入れ環板状の円筒成型体を作製した。次に、ガラス粉末(粉末組成はSiOs 50wt3、A1sOs 5wt3、BaO 25wt3、8sOs 5wt3、平均粒径は1μm)を18とボリビニルアルコールの水溶液(5wt3溶液)を0.18とを混合して、金型内の円筒成型体の上に0.18入れて円筒成型体を作製した。このことを繰り返してフェライト層が10層になるまで行った。この成型体を大気中にて1200でで1時間保持する高温机理を行った。

この高温処理品を実施例1と同条件で鉄模を制定したところ、鉄模は約300mW/cmlであった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸パリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様に成型体を作製し、高温処理品の飲損を測定したところガラス粉末の場合と同様の値を示した。

得られた高温処理品をこれまでと同様に、鉄損を測定したところ、鉄損は約200mH/cliであった。本発明のインダクタンス部品は高周波数においても非常に鉄損の小さい磁性体であった。

がラス粉末の代りに、酸化チタン粉末、チタン酸パリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様にシートを作製して、高温処理して、鉄損を測定したところガラスの場合と同様の値を示した。

#### (実施例5)

テルピネオール、ポリピニルブチラールおよびブチルベンジルフタレートを重量比で20:1:2 の割り合いで混合したものを10gとNi2n系フェライト粉末(粉末組成はNi0 20molX、Zn0 30molX、PerOs 50molX、平均粒径は3μm)を30gを混合し、ベースト状の混錬物を作製した。この混錬物をドクターブレード法で厚み80μmの磁性シートを作製した。同様に、テルピネオール、ポリピニルブチラールおよびブチルフタレートを重量比で20:1:2の割り合いで混合したものを10g

とガラス粉末(粉末組成はPb0 60mol X、8 m0 mol X、8 m0 mol X、Al m0 mol X、平均粒径は1 μm)を30 mを混合し、ペースト状の混練物を作製した。この混練物を作製した。この混練物を作製した。このではシートを対した。この磁性シートとガラスシートを交互に積層し、磁性シートが10層になるまで積み重ねた。この積層体に大気中で1200℃で1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を制定したところ、鉄損は約220mil/cliであった。 本発明のインダクタンス部品は高周波数において も非常に鉄損の小さい磁性体であった。

# (実施例6)

ブチルカルビトールおよびエチルセルロースを 重量比で20:1の割り合いで混合したものを10 8 とガラス粉末(粉末組成はB<sub>8</sub>0:23wt%、Si0:44w t%、ZaO 16wt%、BaO 8wt%、平均粒径は1 μm) を30 g を混合し、ペースト状の混錬物を作製した。 この混練物を実施例 4 で作製した磁性シートに塗 布して、過巻状に巻き、磁性シートが10層になる

1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を制定したところ、鉄損は約190mH/cdiであった。 本発明のインダクタンス部品は高周波数において も非常に鉄損の小さい磁性体であった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸 パリウム粉末、亜鉛フェライト粉末および酸化 アルミニウム粉末の各粉末を用いて同様にペーストを作製し、高温処理して、鉄損を測定したところガラスの場合と同様の値を示した。

#### (実施例8)

実施例4で作製した磁性シートを円筒形に打ち 抜いて、企業雰囲気下で1200℃で1時間保持する 高温処理した。

次に、高温処理した円筒薄板をケースに10層になるまで積み重ねた。こうして得たインダクタンス部品をこれまでと同様に、鉄損を開定したところ、鉄損は約180mW/cdであった。

先ほどの測定したインダクタンス部品のケース にシリコンオイルを充準して同様に鉄損を測定し まで積み重ねた。この積層体に窒素雰囲気下で12 00℃で1時間保持する高温処理を施した。

得られた高温処理品をこれまでと同様に、鉄損を測定したところ、鉄損は約180=W/cdであった。 本発明のインダクタンス部品は高周波数において も非常に鉄損の小さい磁性体であった。

ガラス粉末の代りに、酸化チタン粉末、チタン酸パリウム粉末、亜鉛フェライト粉末および酸化アルミニウム粉末の各粉末を用いて同様にベーストを作製し、高温処理して、鉄損を測定したところガラスの場合と同様の値を示した。

# (実施例7)

ブチルカルピトールおよびエチルセルロースを 重量比で20:1の割り合いで混合したものを10g とガラス粉末(粉末組成はB±0±18 mt%、Si0±49 w t2、Zn0 16 wt%、Ba0 8 mt%、平均粒径は1 μm) を30gを混合し、ペースト状の混練物を作製した。 この混練物を実施例5で作製した磁性シートに整 布して、過剰状に巻き、磁性シートが10層になる まで積み重ねた。この積層体に大気中で1200℃で

たところ、鉄損は約150mW/cdであった。

# (家施例9)

実施例 5 で作製した磁性シートを円筒形に打ち 抜いて、大気中で1200℃で1時間保持する高温処 理した。

次に、高温処理した円筒環板をケースに10層になるまで積み重ねた。こうして得たインダクタンス部品をこれまでと同様に、鉄損を測定したところ、鉄損は約200mH/cmlであった。

先ほどの測定したインダクタンス部品のケース にシリコンオイルを充塡して同様に鉄損を測定し たところ、鉄損は約160mH/cmlであった。

# (実施例10)

プチルカルビトールとエチルセルロースを重量 比で20:1の割り合いで混合したものを3gとM n Zn系フェライト粉末 (粉末組成はMn0 35mol%、 2n0 15mol%、PegOs 50mol%、平均粒径は5μm) を10g混合し、ペースト状にした。このペースト をアルミナ基体に塗布して、200℃で乾燥した。

前述した方法でアルミナ基体10枚にフェライト

H 302 New 1958 6 Subjek Tolkepipmin buf Confusion on Sur

[0153] On the other hand, in secrebal weigg repropression the insulating layer is composed of ceramics made of the insulating layer is composed of ceramics made of the insulating layer with fiber obtained by impregnating a cloth impregnated with fiber-glass wit

In the following is an example of methods for forming the insulating the particle organic binder and solvent are
oxide, firstly, a suitable organic binder and solvent are
mixedly canded the particle organic binder and solvent as
aluminum oxide, of form a shury. The alury is then formed mive
sium oxide, to form a shury. The alury is then formed miv
ceramyc argeographism accordance registric mounts in a shury and solventily, a conductor
the writing conductor tayers, is applied and printed thereon
in a predictional paiding and the method supposed and printed thereon
stacked on ton of each paiding and the multilayered witing
thus obtained is liked in a reducing almosphere as a temthus obtained is liked in a reducing almosphere as is temthus obtained is liked in a reducing almosphere as a temthus obtained is liked in a reducing almosphere as a temthus obtained is liked in a reducing almosphere as a temthus obtained is liked in a reducing almosphere as a tem-

invention, each of the insulating layers is formed in accordance, each of the insulating layers is formed in accordance with a ceramic green abeet stacking medicion states and incorpanic insulating material such as sometical subminum intride, sintered shuminum intride, so polymide, persented shuminum intride, sintered shuminum, propressive insulating material such as polymide, epoxy or an electrically insulating material such as composite insulating insulat

multiplicity of semiconductor devices, or a mother board. component mounting poard, a so-called multiplicity of semiconductor devices bousdably modifications component mounting board, a so-called multiplicity of semiconductor devices, or a mother board an electronic component mounting poard, a so-called multiplicity of semiconductor devices, or a mother board.

octsgener charte may be of mombus., bexagonal., or insulating layers may be of mombus., bexagonal., or octagener charter appears for sequence angular charter.

10148] Moreover? ती के क्रेड क्रिसिमिलि असिस्टित अम्सिर्टि tronic girguit module board by mounting thereon chip resistance, a coul inductor, a cross inductor, tance, thin-thin resistance, a coil inductor, a cross inductor, a chipermatch as alcomolytic grapsolytical and alcomolytical

を用いて、最大磁束密度 500 G、周被数 1 M Hzで 鉄損を測定したところ、鉄損は約 20m M/cmlであっ アルミナ基体の代りに、MgO·SiO<sub>8</sub>、M ts[O、BeO、AlaOs·SiO<sub>8</sub>・BaOs

Dec. 5, 2002

US 2002/0181185 A1

-87-

-brooms and only the first of seventh schooline on the [0440] lating layer 152d, substantially the same effects are obtained. is made lagurangrapaging क्षेत्रिटरोत्तरव्यक्षाता क्षेत्रा प्रकार क्षेत्रा प्रकार क्षेत्रा प्रकार is made laper in relative dielectric consignt than the insulating layer 152c [0145] स्टिमेर्ने मित्राहोत्या जेता, के सार्वे अंतर्म मेर्ने प्राप्त के सार्वे मेर्ने मेर्ने मेर्ने भी schieving further reduction in the impedance value. large a capacitance value as possible 影響 be seelyed, the ne by श्रा देशका मेर्सान्त्रके हे देशकार के विद्यास्त्र भी [१४४०] This helps reduce the EMI noise more effectively. me oberativis fremensky कि कि ब्रह्म के कि कि कि कि कि कि acteristics of the pulling of the pulling spice of the sp 10143] Also in this embodiment, by appropriately setting the resonance Bodynking manded the the management of the resonance Bodynking manufactures of the resonance of the setting of the resonance of the setting of the resonance う条件で鉄揚店過度krafaje is si oligina grana Bank a the sam be sufficiently is the same of the s the semiconductor device 159 is operated at a frequency preater than several GHz, the simultaneous switching notice in considerabily अस्ति कि अभिन्ति कि प्रिकृति विद्युप्ति components including bet 的動物學 \$1400 list seed and/or the ground wiring layer 154 to 156 can be decreased particular, by setting the composite impredance value at the anti-resonance frequency to be I as of below, the inductance ASING CSD 存実型的国 SPUSIEE信ACLTS ANDCE ESCHOOL OSEQUITY フ band of the harmonic component, the composite impedance で**充端遊飯時後 遺房茶園走週が**50pu**島間ま場**資めん5uenberg quencies is set to be, equal to of less than a predetermined walue. Thus, in the range from the band of the operating 10142] Further, the composite impedance at the anti-resonance frequency occurring which impedance it the source frequency of the state of the source frequency of the state of the source frequency of the state of t istics of the built-in capacitor can be set at a desired value. resonance frequency included in the impedance characterpe Scomd with layer 154, 155 are formed. In this way, the 152c or 154, कुल क्रिक्ट क्रांग्रही अधिक्रिक्ट अ varying the relative dielectric confissant of the manifely is varied by and/or ground wiring layer 154 to 156. In this embedthen時) constituted by the wider-area power source wiring layer, dy varying the sepastiques relief fresh de the difficionspector characteristics of the built-in capacitor can be arbitrarily set coincidence with the the the total of this family with the thing teristics of the second built-in capacitor is brought into The resonance: विद्वासाम्बर्धाः क्षेत्रकार्यकार क्षेत्रकार्यकार क्षेत्रकार्यकार अध्याप्त कार्यकार कार capacitor is prought into coincidence with the pand of the operating frequency of the semiconductor device 159, and included in the impedance characteristics of me nist building 6 tors have स्थापनिक्षितिक क्षानिक क्षानिक क्षानिक अध्य store wiring layer 152 and 156. Hence, as shown in FIG. 3, the impedance that activities are sign that the built-in capacitbetween the power source wiring layer and between the power source wiring capacitance value than the second built-in capacitor formed ground wining dayer less spok see, 25, 100 de glitterentain winne layet 154, 184, so doing the first built in gapacitor. formed between the power source winne layer and/or the that used for the insulating layer 152c which has on its top surface the power अधिकार के बितान के किया है कि किया है कि किया के material which if iagger in relatives d強略が最高的な Apidw Lindsten which has on its ground wring layer its is made of an institute and [0140] In this embodiment, the insulating layer 152d, 24

ガラスセラミックス基体、石英ガラス板、ポリイ

154, represent a wider-area power source wiring layer and/or 154, represent a wider-area power source wiring layer and/or the ground wiring layer area were source wiring layer and/or the built-in apparation of the arranged in juxisposition. Hereupon, the arrangement of the arranged in juxisposition. Hereupon, the arrangement of the arrangement is proper and/or the programment of the layers of 154, 155, 156 is made in such a way that the layers of different natures are arranged softward as the ground wiring is on the one hand, if 154 and 156 are defined as the power source wiring layer, 153 is defined as the power source wiring layer, 153 is defined as the power source wiring layer, 155 is defined as the power source wiring layer and 150

In this embodiment, on he 如 当时的 是 

device 159 quetres que partition of the semiconductor device 159 is electrically connected to the multi-fayer writing board 151 bas, on its for new partition of the partiti

designes to vanismit munich of the signal wiring lines, in various lines in the group of signal wiring that a family of the signal wiring the signal wiring the signal wiring the signal wiring the signal of the si

wiring board according to the seventh embodiment of the wiring board according to the seventh embodiment of the invention. In FIG. 11, reference numeral 151 represents the invention, in FIG. 11, reference numeral 151 represents the multi-layer wiring board, and 152 represents an insulating substrate 152 is constituted by stacking a plurality of insulating layers 152a to 152c and 152c and of each other. In the multi-layer wiring board 151 of this embodiment, the insulating layers 152a to 152c, and 152c embodiment, the insulating layers 152a to 152c, and 152c and 153c, and on the insulating materials that are basically identical lating layer 152b is formed a group of signal wiring lines as to oppose the group of signal wiring lines as to oppose the group of signal wiring lines 153 takes on a micro-strip line group of signal wiring lines 153 takes on a micro-strip line group of signal wiring lines 153 takes on a micro-strip line

ciently wide setting frequency range for the resonance frequency included in the impedance characters as frequency included in the impedance characters as frequency included in the impedance characters are made different from each other in resonance capacitors are made different from each other in resonance capacitors are made different from each other in resonance device 1390 ogestogist in this embedianced. The properties of the including layer of ground withing layer or ground white factors are the formal withing layer or ground white factors are the formal layer. The formal including the including layer is the factors and the factors are the formal layer. The formal layer is the factors are the formal layer. The formal layer is the factors are the factors and the factors are the factors are the factors are the factors and the factors are the factors are factors and the factors are factors are factors and factors are factors are factors and factors are factors and factors are factors are factors are factors are factors and factors are factors and factors are factors and factors are factors are factors and factors are factors are factors and factors are factors a

の構成を示す要部の斜視図、第4図は他の例の磁

に (DE13) 本語 (DE14) 和語 (D

nance frequency occurring between those resonance frequencies is set to be equal to it is that that of the operations of the man of the common present of the operations of the common common of the parament components inclined in the four components inclined in the power source with an anitorable such or below, the inductance components inclined in the power source with a suffer components inclined in the power source with a suffer successed and or the ground wight layer. Lay to be to be low, the inductance components inclined in the power source withing layer and/or the ground wight layer. Lay to be to be low, the inductance components inclined in the power source withing layer and or the ground wight layer. Lay the implication where considerably. I have, even in the high-frequency region where considerably. I have, even in the high-frequency region where we emiconductor side received that the simulation with the considerably. Thus, even in the simulation our service than several GHz, the simulation our saying many of the cash be sufficiently feduced in the functive many than several GHz, the simulation our saying moise can be sufficiently feduced in the functive many than the sufficient of the construction of the construc

set at a desired value. the impedance characteristics of the built-in capacitor can be 134 to 136. In this way, the resonance frequency included in the power source wiring layer and/or the ground wiring layer varying the areas of the wider-area wiring layers constituting the capacitance value for the built-in capacitor is varied by and/or ground wiring layer 134 to 136. In this embodiment, constituted by the wider-area power source wiring layer by varying the capacitance value for the built-in capacitor characteriztics of the built-in capacitor can be arbitrarily set ponent. The resonance frequency included in the impedance coincidence with the frequency band of the harmonic comteristics of the second built-in capacitor is brought into the resonance frequency included in the impedance characoperating frequency of the semiconductor delice 139 and capacitor is brought into coincidence with the band of the included in the impedance characteristics of the first built-in TOTAL IN THE empodiment me resonance frequency

one hand, if 134 such 134 and 136 are defined as the ground wring layer, 135 is defined as the ground wring layer, 135 is defined as the ground wring layer, 135 is defined as the ground wring layer. 135 is defined as the power source wring layer and/or the ground wring layer and 135 is formed as a wider-area wring layer and/or the ground wring layer and 135. Thus, and a ground wring layer and 135 is formed the ground wring layer and 135. Thus, and or the power source wring layer and or the power source wring layer and 135. Thus, and 135 is formed the ground wring layer and 135. Thus, and or and or the power source wring layer and the ground wring layer and the power source wring layer and the ground wring layer ground wring layer and the ground wring layer and the ground wring layer and the ground wring layer ground wring layer and the ground wring layer layer ground wring layer layer layer and the ground wring layer la

<u> 15</u>

 $\mathfrak{s}\mathfrak{l}$ 

US 2002/0181185 A1

/ フェライト 森性層

Dec. 5, 2002

フェライト 層の 厚み (れれ)

US 2002/0181185 A1

with the operating frequency of the semiconductor device 89. This helps reduce the EMI noise more effectively. acteristics should preferably be set at a value incoincident anti-resonance frequency inoguded in the impedance charcapacitor constituted by the wider-area power source wiring layer and/ov/grbund wiring layer 84 to 86 formed within the multi-layer witing board 81, coincides with the operating multi-layer witing board 81, coincides with the operating for the semiconductor device 89, EMI noise tends to be increased. In light of this, in the built-in capacitor, the included in the impedance characteristics of the built-in [0124] Note that of the anti-resonance frequency, which is

Anti-resonance frequency at a value incoincident with the [0126] In the multi-layer witing board 81 embodying the invention, the resonance frequencies included in the impedance characteristics of a plutality of the built-in capacitors

[0126] Mext, with reference to FIGS, 10 and 11, a descriphelps reduce the EMI noise more effectively. operating frequency of the semiconductor device 89. This are set appropriately, whereby making it possible to set the

under surface opposite to the top surface on which the semiconductor device 139 is monthad, abgrackast electrode 137 for supplying electric power to the terminonductor device 130 139. Further, the multi-layer wiring board 131 has, on its multi-layer wiring board 1.4 through a conductor bump 140 made of solder such as a tin-test alloy for policy of solder such as a tin-test alloy for for providing connection with the semiconductor device for providing connection with the semiconductor device. semiconductor device 139 is electrically connected to the [0128] In this embodiment of the representation of the multi-layer wiring board 131 is affected a sense and action of the The Total of the The Total of the Total designed as to transmit mutually different electric signals. [0127] Note that a plurality of the grand withing lines, included in the group of signal withing lines 125, marke so

wiring lines 133. Thus, the group of signal wiring lines 133 takes on a micro-strip line squettee.

ground wiring layer 134 so as to oppose the group of signal

is formed a wider-area power source wiring layer and/or

of signal wiring lines 133, and on the insulating layer 132c

tric constant. On the insulating layer 132b is formed a group

that are basically identical with each other in relative dielec-

lating layers 132a to 132e are made of insulating materials of insulating layers 132a to 132c on top of each other. In the multi-layer wiring board 131 of this embodiment, the insu-

insulating substrate 132 is constituted by stacking a plurality

wiring board, and 132 represents an insulating substrate. The

FIG. 10, reference plumeral 131 represents the multi-layer board according to the sixth embodiment of the invention. In

ing to a sixth and a seventh embodiment of the invention. FIG. 10 is a sectional view showing the multi-layer wiring

tion will be given as to the multi-layer wiring board accord-

natures are arranged contiguous to each other. That is, on the power source wiring layer and the ground wiring layer 134, 135, 136 is made in such a way that the layers of different arranged in juxtaposition. Hereupon, the arrangement of the multi-layer wiring board 131. The built-in capacitors are 134 to 136, two built-in capacitors are formed within the power source wiring layer and/or the ground wiring layer [0129] Reference numeral 135 and 136, the common with 134, represent a wider-area power force by the layer and/or ground wiring layer. In this embodigment, by way of the

device 89. higher than the operating frequency of the semiconductor in a range from 5 to 50 GHz on the basis of a value 5 times conductor device 89 falling in a range from 1 to 10 GHz. In this case, the frequency of the harmonic component is kept

manner Setting the composite impedance value at 1 to or below is effective at the operating frequency of the semifrequency greater han several GHz, the simultaneous switching noise can be sufficiently reduced in an effective

2-2. 7\
[0123] Moreover, by setting the composite impedance induspance frequency to be 1 to or below, the induspance compensates frequency to be 1 to or below, the layer and/or the ground wiring layer 84 to 86 can be decreased considerably Ilnus, even in the high-frequency decreased considerably Ilnus, even in the high-frequency region where the semiconductor tevice 89 is operated at a region where the semiconductor tevice 89 is operated at a flecinency deaster that several CHZ the circultance.

built-in capacifors and the number of the built-in capacitors. In the multi-layer wiring board \$1 embodying the invention, the composite imfedence value is determined appropriately, the composite infedence value is determined appropriately, in accordance with the capacitance values for the individual of a phytality of the built-in capacitors, can be arbifrarily set nance frequencies included in the impedance characteristics value can be made smaller over a wider frequency band. Here, the composite impolance value, which is observed at the anti-resonance frequency decuring between the resoband of the harmonic component, the composite impredance frequency of the semiconductor device 89 to the frequency value. Thus, in the range from the band of the operating quencies is set to be equal to or less than a predetermined папсе frequency осситing between those resonance fre-[0122] Further, the composite impedance at the anti-reso-

ness than the insulating layer 82c having thereon the first

nance frequencies are arranged in juxtaposition. This

a plurality of the built-in capacitors having different reso-

to the multi-layer wiring board \$1 ethoodying the invention,

-89-